

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-153761

(43)Date of publication of application : 09.06.1998

Int.Cl. G02F 1/133
G09G 3/36
H04N 5/66

Application number : 09-330196

(71)Applicant : SONY CORP

Date of filing : 01.12.1997

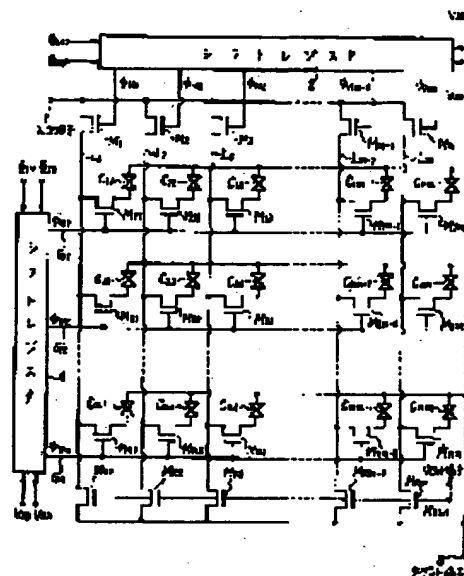
(72)Inventor : MAEKAWA TOSHIICHI

LIQUID CRYSTAL DISPLAY DEVICE

Abstract:

PROBLEM TO BE SOLVED: To reduce the changed of signal level, to reduce the load applied to a switching element, and to prevent deterioration in picture quality of a displayed image, by precharging the potential of a signal line to its intermediate potential at every inversion of video signal.

SOLUTION: Respective switching elements MR1-MRm are provided on lower end parts of lines L1-Lm in the vertical section, and the control terminals of the elements MR1-MRm are connected to a reset terminal 5 supplied with a horizontal blanking pulse HBLK. When a video signal is supplied to an input terminal 1, and the switching elements MR1-Mm are turned on by drive pulse signals ϕ_{H1} - ϕ_{Hm} , the pulse HBLK is applied to the reset terminal 5, and the switching elements MR1-MRm are turned on. Thus, the potential of the lines LR1-LRm are precharged to a target voltage in the period of the pulse HBLK, and further, are changed from this target voltage to the potential of the video signal in the period of the drive pulse signals ϕ_{H1} - ϕ_{Hm} .



LEGAL STATUS

date of request for examination] 01.12.1997

date of sending the examiner's decision of
action] 29.06.1999

date of final disposal of application other than the
examiner's decision of rejection or application
reverted registration]

date of final disposal for application]

patent number] 3131411

date of registration] 17.11.2000

number of appeal against examiner's decision of
action] 11-12513

date of requesting appeal against examiner's
decision of rejection] 29.07.1999

date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-153761

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.⁸

識別記号

F I

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

G 0 9 G 3/36

G 0 9 G 3/36

H 0 4 N 5/66

1 0 2

H 0 4 N 5/66

1 0 2 B

審査請求 有 請求項の数 1 O L (全 5 頁)

(21) 出願番号

特願平9-330198

(62) 分割の表示

特願平1-24512の分割

(22) 出願日

平成1年(1989) 2月2日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

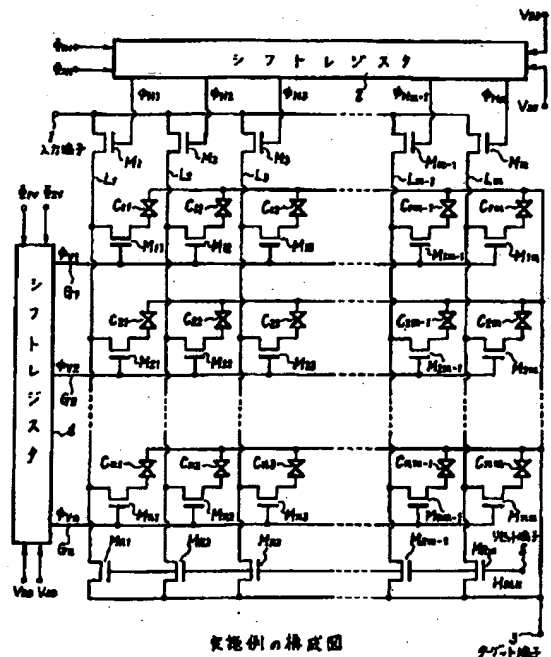
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 液晶ディスプレイ装置

(57) 【要約】

【課題】 小さい素子サイズでも表示画質の劣化を防止できるようにする。

【解決手段】 入力端子1からの映像信号がスイッチング素子 $M_1 \sim M_n$ を通じて垂直(Y軸)方向のライン $L_1 \sim L_m$ に供給され、シフトレジスタ2からの順次走査される駆動パルス信号 $\phi_{11} \sim \phi_{nn}$ がスイッチング素子 $M_1 \sim M_n$ の各制御端子に供給される。さらにライン $L_1 \sim L_m$ にそれぞれスイッチング素子 $M_{11} \sim M_{nn}$ の一端が接続され、シフトレジスタ4からの順次走査される駆動パルス信号 $\phi_{v1} \sim \phi_{vm}$ が水平(X軸)方向のゲート線 $G_1 \sim G_m$ を通じてスイッチング素子 $M_{11} \sim M_{nn}$ のX軸方向の各列ごとの制御端子にそれぞれ供給される。さらに垂直方向のライン $L_1 \sim L_m$ の下端部がそれぞれスイッチング素子 $M_{11} \sim M_{nn}$ を介してターゲット端子3が接続される。そしてこれらの素子 $M_{11} \sim M_{nn}$ の各制御端子が水平ブラッキングパルス H_{11k} の供給されるリセット端子5に接続される。



実施例の構成図

ターゲット端子

【特許請求の範囲】

【請求項1】 垂直方向に平行に配設された複数の第1の信号線と、

水平方向に平行に配設された複数の第2の信号線と、

これら第1および第2の信号線の各交点にそれぞれ選択素子を介して設けられた液晶セルと、

上記第2の信号線を順次走査して1行分の画素を選択する第1のシフトレジスタと、

画像信号をサンプリングするパルス生成する第2のシフトレジスタと、

上記第1のシフトレジスタによって選択された1行分の画素に上記画像信号を順次書き込むように上記第1の信号線の一端に接続された第1のスイッチング素子とを有する液晶ディスプレイ装置において、

上記第1の信号線に供給される画像信号の極性を所定期間ごとに反転する手段を設けると共に、

この反転された画像信号と同一極性であって順次供給される画像信号の変化量を小さくするような電位を上記第1の信号線に供給するための第2のスイッチング素子を上記第1の信号線他端に接続することを特徴とする液晶ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば液晶表示素子をX-Yマトリクス状に配置して画像の表示を行う液晶ディスプレイ装置に関するものである。

【0002】

【従来の技術】例えば液晶を用いてテレビ画像を表示することが提案（特開昭59-220793号公報等参照）されている。

【0003】すなわち図3において、入力端子1には例えばテレビジョンの映像信号が供給される。この入力端子1からの映像信号がそれぞれ例えばNチャンネルFETからなるスイッチング素子 M_1 、 M_2 、 \dots 、 M_m を通じて垂直（Y軸）方向のライン L_1 、 L_2 、 \dots 、 L_n に供給される。なおmは水平（X軸）方向の画素数に相当する数である。

【0004】さらにm段のシフトレジスタ2が設けられ、このシフトレジスタ2に水平周波数のm倍のクロック信号 ϕ_{1n} 、 ϕ_{2n} が供給される。そしてこのクロック信号 ϕ_{1n} 、 ϕ_{2n} によって順次走査される駆動パルス信号 ϕ_{1n} 、 ϕ_{2n} 、 \dots 、 ϕ_{nn} が、シフトレジスタ2の各出力端子からスイッチング素子 $M_1 \sim M_m$ の各制御端子に供給される。なおシフトレジスタ2には低電位（ V_{ss} ）と高電位（ V_{DD} ）が供給され、この2つの電位の駆動パルスが形成される。

【0005】また、各ライン $L_1 \sim L_n$ にそれぞれ例えばNチャンネルFETからなるスイッチング素子 M_{11} 、 M_{12} 、 \dots 、 M_{1n} 、 M_{21} 、 M_{22} 、 \dots 、 M_{2n} 、 \dots 、 M_{m1} 、 M_{m2} 、 \dots 、 M_{mn} の一端が接続される。なおnは水平走査

線数に相当する数である。このスイッチング素子 $M_{11} \sim M_{mn}$ の他端がそれぞれ液晶セル C_{11} 、 C_{12} 、 \dots 、 C_{nn} を通じてターゲット端子3に接続される。

【0006】さらにn段のシフトレジスタ4が設けられ、このシフトレジスタ4に水平周波数のクロック信号 ϕ_{1v} 、 ϕ_{2v} が供給される。そしてこのクロック信号 ϕ_{1v} 、 ϕ_{2v} によって順次走査される駆動パルス信号 ϕ_{v1} 、 ϕ_{v2} 、 \dots 、 ϕ_{vn} が、シフトレジスタ4の各出力端子から水平（X軸）方向のゲート線 G_1 、 G_2 、 \dots 、 G_m を通じてスイッチング素子 $M_{11} \sim M_{mn}$ のX軸方向の各列（ $M_{11} \sim M_{1n}$ ）、（ $M_{21} \sim M_{2n}$ ）、 \dots （ $M_{m1} \sim M_{mn}$ ）ごとの制御端子にそれぞれ供給される。なお、シフトレジスタ4にもシフトレジスタ2と同様に電圧 V_{ss} と V_{DD} が供給される。

【0007】すなわちこの回路において、シフトレジスタ2、4には例えば図4のA、Bに示すようなクロック信号 ϕ_{1n} 、 ϕ_{2n} 、 ϕ_{1v} 、 ϕ_{2v} が供給される。そしてシフトレジスタ2からは同図のCに示すように各画素期間ごとに駆動パルス信号 $\phi_{n1} \sim \phi_{nn}$ が出力され、シフトレジスタ4からは同図のDに示すように1水平期間ごとに駆動パルス信号 $\phi_{v1} \sim \phi_{vn}$ が出力される。さらに入力端子1には同図のEに示すような信号が供給される。

【0008】そして例えば駆動パルス信号 ϕ_{v1} 、 ϕ_{n1} が出力されているときに、スイッチング素子 M_1 と $M_{11} \sim M_{1n}$ がオンされ、入力端子1→ M_1 → L_1 → M_{11} → C_{11} →ターゲット端子3の電流路が形成される。これによって入力端子1に供給された信号とターゲット端子3との電位差が、液晶セル C_{11} に供給される。

【0009】このためこの液晶セル C_{11} の容量分に、1番目の画素の信号による電位差に相当する電荷がサンプルホールドされる。そしてこの電荷量に対応して液晶の光透過率が変化される。これと同様のことがセル $C_{12} \sim C_{nn}$ について順次行われ、さらに次のフィールドの信号が供給された時点で各セル $C_{11} \sim C_{nn}$ の電荷量が書き換えられる。

【0010】このようにして、映像信号の各画素に対応して液晶セル $C_{11} \sim C_{nn}$ の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

【0011】

【発明が解決しようとする課題】ところで液晶で表示を行う場合には、一般にその信頼性、寿命を長くするため交流駆動が用いられる。例えばテレビジョン画像の表示においては、1フィールドまたは1フレームごとに映像信号を反転させた信号を入力端子1に供給する。また液晶ディスプレイ装置においては表示の垂直方向のシェーディング等を防止する目的で信号を1水平期間ごとに反転することが行われている。

【0012】このため上述の装置において、入力端子1には、例えば図4のEに示すように1水平期間ごとに反転されると共に1フィールドまたは1フレームごとに反

転された信号が供給されている。

【0013】ところが上述の装置において、上述のように1水平期間ごとの極性反転が行われていると、例えば表示画像が全白（または全黒）の場合に、入力端子1に供給される映像信号は例えば図5のAに示すようにターゲット電圧に対して白（または黒）のレベル V_p が1水平期間ごとに極性反転されたものになっている。

【0014】これに対して同図のBに示すような駆動パルス信号 $\phi_{n1} \sim \phi_{nn}$ でスイッチング素子 $M_{n1} \sim M_{nn}$ がオンされると、各ライン $L_1 \sim L_n$ の電位は同図のCに示すように変化されることになり、すなわち各ライン $L_1 \sim L_n$ の電位は駆動パルス信号 $\phi_{n1} \sim \phi_{nn}$ の1パルス期間に $2V_p$ 変化されることになる。

【0015】そしてこの場合に、パルス信号 $\phi_{n1} \sim \phi_{nn}$ の1パルス期間は、1水平期間の有効画面期間を $1/m$ にした極めて短い時間であり、このような短い期間に $2V_p$ の電圧変化を行うためにはスイッチング素子 $M_{n1} \sim M_{nn}$ のオン抵抗が低くなければならず、各素子のサイズを大きくする必要があった。

【0016】しかしながらこのような素子のサイズを大きくすることは、素子をオンチップ化する場合にチップ面積が増大するだけでなく、関連する水平走査回路（シフトレジスタ2）等の設計上の制約も厳しくするものである。

【0017】またスイッチング素子 $M_{n1} \sim M_{nn}$ のサイズを不十分なものとした場合には、各ライン $L_1 \sim L_n$ の信号電位が充分に立ち上がらず、液晶セルの電荷量の書き換えが不充分になって、表示画像のコントラストが低下されるなど、画質が極めて劣化してしまう問題点があった。

【0018】この出願はこのように鑑みて成されたものであって、解決しようとする問題点は、従来の装置では素子のオン抵抗を低くしなければならず、素子のサイズを大きくするために設計上の制約が厳しくなったり、また素子のサイズが不十分な場合には表示画像のコントラストが低下されるなど画質が極めて劣化してしまうというものである。

【0019】

【課題を解決するための手段】このため本発明においては、信号線の電位を映像信号の反転ごとにその中間電位にプリチャージするようにしたものであって、これによれば、信号の変化される幅が小さくされ、スイッチング素子にかかる負担が小さくされて、小さい素子サイズでも表示画像の画質の劣化を防止することができる。

【0020】

【発明の実施の形態】すなわち本発明においては、垂直方向に平行に配設された複数の第1の信号線と、水平方向に平行に配設された複数の第2の信号線と、これら第1および第2の信号線の各交点にそれぞれ選択素子をして設けられた液晶セルと、第2の信号線を順次走査し

て1行分の画素を選択する第1のシフトレジスタと、画像信号をサンプリングするパルスを生成する第2のシフトレジスタと、第1のシフトレジスタによって選択された1行分の画素に画像信号を順次書き込むように第1の信号線の一端に接続された第1のスイッチング素子とを有する液晶ディスプレイ装置において、第1の信号線に供給される画像信号の極性を所定期間ごとに反転する手段を設けると共に、この反転された画像信号と同一極性であって順次供給される画像信号の変化量を小さくするような電位を第1の信号線に供給するための第2のスイッチング素子を第1の信号線の他端に接続してなるものである。

【0021】

【実施例】以下、図面を参照して本発明を説明するに、図1は本発明を適用した液晶ディスプレイ装置の一例の構成を示すブロック図である。

【0022】図1は、図3と同様の単一の液晶ディスプレイ装置の構成を示し、この図1において、上述の垂直（Y軸）方向のライン $L_1 \sim L_n$ の下端部にそれぞれスイッチング素子 $M_{n1}, M_{n2}, \dots, M_{nn}$ が設けられる。そしてこれらの素子 $M_{n1} \sim M_{nn}$ を介してターゲット端子3が接続されると共に、これらの素子 $M_{n1} \sim M_{nn}$ の各制御端子が水平ブラッキングパルス $H_{n1,k}$ の供給されるリセット端子5に接続される。その他の構成は図3の装置と同様にされる。

【0023】そしてこの装置において、例えば図2のAに示すような全白（または全黒）の映像信号が入力端子1に供給され、同図のBに示すような駆動パルス信号 $\phi_{n1} \sim \phi_{nn}$ でスイッチング素子 $M_{n1} \sim M_{nn}$ がオンされた場合に、リセット端子5には同図のCに示すような水平ブラッキングパルス $H_{n1,k}$ が供給され、これによってスイッチング素子 $M_{n1} \sim M_{nn}$ がオンされる。

【0024】このため各ライン $L_1 \sim L_n$ の電位は、各水平ブラッキングパルス $H_{n1,k}$ の期間にターゲット電圧にプリチャージされ、さらに駆動パルス信号 $\phi_{n1} \sim \phi_{nn}$ の期間にこのターゲット電圧から映像信号の電位に変化される。

【0025】従ってこの装置において、パルス信号 $\phi_{n1} \sim \phi_{nn}$ の1パルス期間に変化される信号は最大 V_p となり、従来の装置の $1/2$ にすることができる。このため小さい素子のサイズでも液晶セルの電荷量の書き換えを充分に行うことができ、表示画像のコントラストの低下等による画質の劣化を防止することができる。さらに素子サイズの増大によるチップ面積の増加や、設計上の制約が生じることもないものである。

【0026】こうしてこの装置によれば、信号線の電位を映像信号の反転ごとにその中間電位にプリチャージすることによって、信号の変化される幅が小さくされ、スイッチング素子にかかる負担が小さくされ、スイッチング素子にかかる負担が小さくされて、小さい素子サイズ

10

20

30

40

50

でも表示画像の画質の劣化が防止することができるものである。

【0027】なお上述の装置においてスイッチング素子は図示のようなNMOS信号に限らずPMOSあるいはCMOS素子でもよい。またリセット端子5に供給される信号も水平ブランキングパルスに限らず映像信号の非有効期間の信号であればいずれでもよい。さらにプリチャージを行う電圧はターゲット電圧に限らず、映像信号の任意の中間電位を用いることができる。

【0028】

【発明の効果】従って請求項1の発明によれば、信号線の電位を映像信号の反転ごとにその中間電位にプリチャージすることによって、信号の変化される幅が小さくされ、スイッチング素子にかかる負担が小さくされて、小さい素子サイズでも表示画像の画質の劣化を防止することができるものである。

【0029】これによって、従来の装置では素子のオン抵抗が低くしなければならず、素子のサイズを大きくする*

*ために設計上の制約が厳しくなったり、また素子のサイズが不十分な場合には表示画像のコントラストが低下されるなど画質が極めて劣化されてしまうなどの問題点があったものを、本願の発明においてこれらの問題点を容易に解消することができるものである。

【図面の簡単な説明】

【図1】本発明の適用される液晶ディスプレイ装置の一例の構成図である。

【図2】その動作の説明のための図である。

10 【図3】従来の液晶ディスプレイ装置の構成図である。

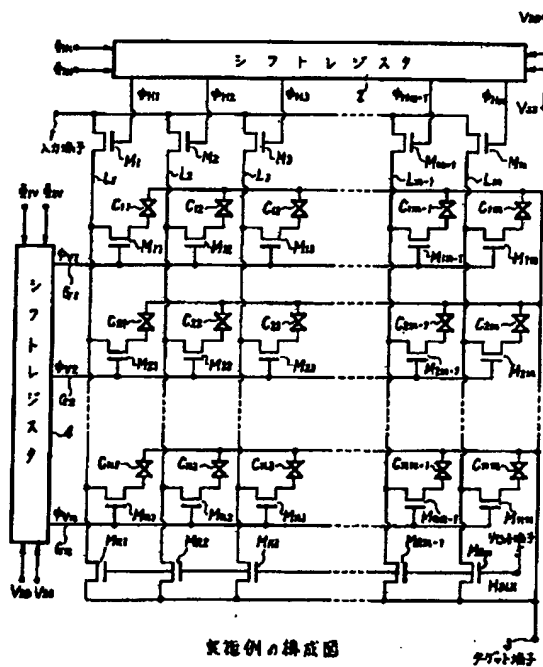
【図4】その説明のための図である。

【図5】その説明のための図である。

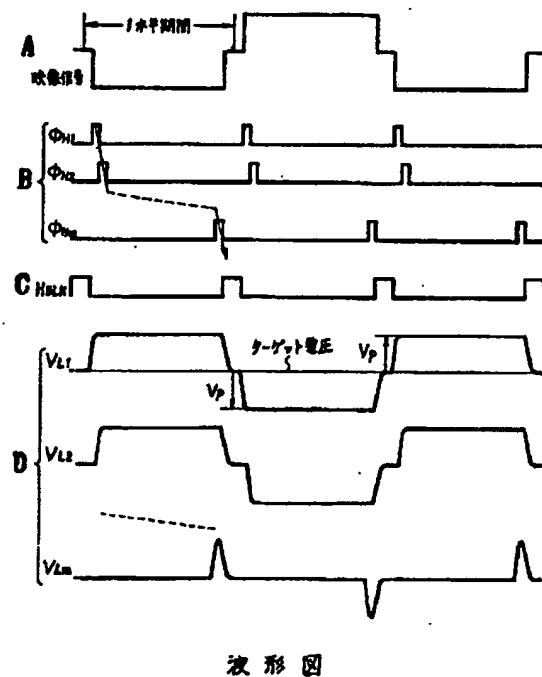
【符号の説明】

$L_1 \sim L_n$ …垂直信号線、 $G_1 \sim G_n$ はゲート線、 $M_1 \sim M_n$ 、 $M_{n+1} \sim M_{n+m}$ 、 $M_{n+1} \sim M_{n+m}$ はスイッチング素子、 $C_{11} \sim C_{nm}$ …液晶セル、1…入力端子、2、4…シフトレジスタ、3ターゲット端子、5…リセット端子

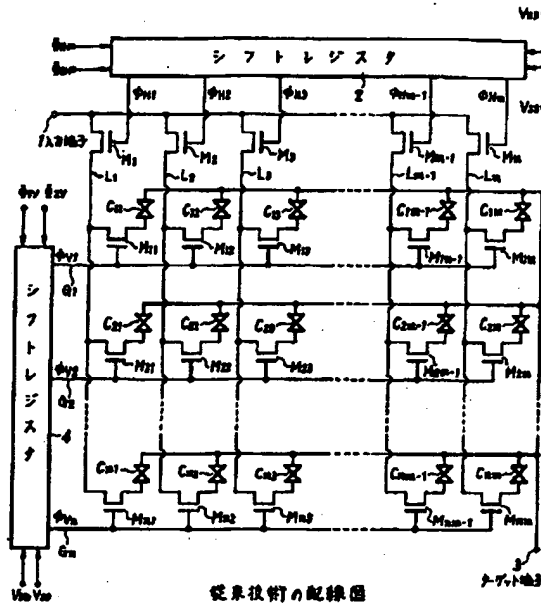
【図1】



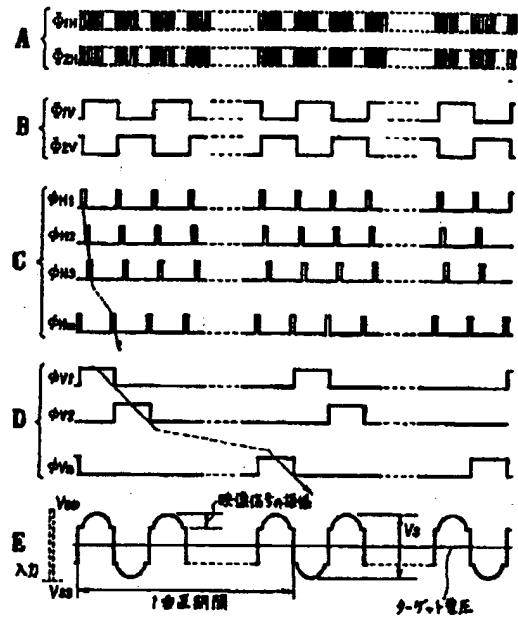
【図2】



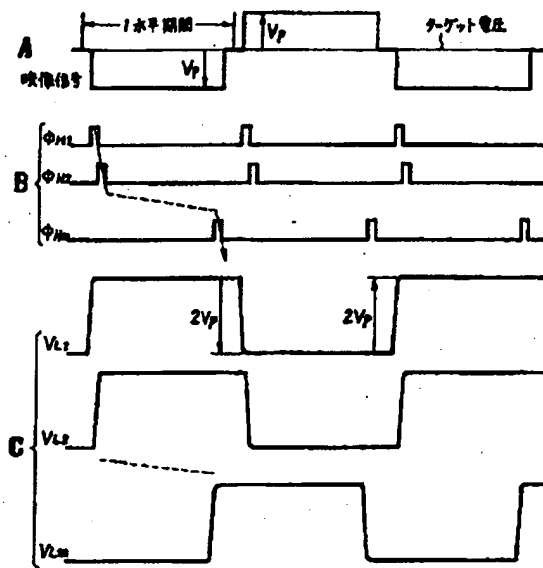
【図3】



【図4】



【図5】



THIS PAGE BLANK (USPTO)